

PRIPREMA ZA I KOLOKVIJUM, VHDL 2019

PRAKTICNI RAD (U grupama po max 5), bodova 15

1. Projektovati VHDL kod prostiog ALARMA, bez zadrške. Izvršiti simulaciju, podesavajuci End time na 1s, kao i izvršiti konfiguraciju FPGA cipa na DE-70 ploci. Koristiti upustva za plocu kao i raspored pinova i odgovarajucih periferija . Alarm ima sledece ulaze: ENABLE, door1, door2, door3, door4, door5, kao i izlaze: LED (alarm enablovan) i SIREN (alarm aktivan)
2. Projektovati VHDL kod prostiog SIFRARNIKA. Izvršiti simulaciju, podesavajuci End time na 1s, kao i izvršiti konfigurisanje cipa na DE=70 ploci. Koristiti upustva za plocu kao i raspored pinova i odgovarajucih periferija. Alarm ima sledece ulaze: ENABLE, DIG1, DIG2, DIG3, DIG4 i dva izlaza PASS and ERROR. Npr. PASS=1, ERROR=0, kada su ENABLE=1, (DIG1, DIG2, DIG3, DIG4)=(1,0,1,0), tj. alarm dozvoljen i ukucana tacna sifra. U oslalom slucajevima PASS=0, ERROR=1.
3. Projektovati VHDL kod prostiog polusabiraca koji ima ulaze X, Y, enable i izlaze carry i result. Kolo radi kada je enable=0. Izvršiti simulaciju, podesavajuci End time na 1s, kao i izvršiti konfiguraciju FPGA cipa na DE-70 ploci. $X=SW[2]$, $Y=SW[1]$, $enable=SW[0]$, $result=LEDR[0]$, $carry=LEDR[1]$.
4. Projektovati VHDL kod prostiog 4 birnog brojac. Izvršiti simulaciju, podesavajuci End time na 1s, klok na $T=10ms$, kao i izvršiti konfigurisanje cipa na DE=70 ploci. Koristiti upustva za plocu kao i raspored pinova i odgovarajucih periferija. Brojac posjeduje ulaze: ENABLE, RESET, CLK. Izlaze, Q0...Q3. Broji na gore, moze se dozvoliti/stopirati kao i resetovato. Diode vizuelno ilustruju stanje brojanja.
5. Konstruisati BCD-SEDMOSEGMENTNI dekođer. Displej može prikazivati i brojeve (0 do 9) i slova (A, B, C, D, E i F). Displej je aktivan logičkom 1. Prikazati rezultat simulacije za BCD="0111". Ulazi displeja predstavljaju perkidaci SW[0]...SW[3], a izlaz je jedan od raspolozivih sedmosegmentnih displeja an ploci DE-70 ploci. Demonstrirati rad.
6. Projektovati mux2-1 na ploci DE-70 ploci. Mux ima I1(ulaz1, SW[0]), I2(ulaz2, SW[1]), A0(address0, SW[3]) i izlaz Out1 (izlaz, LEDR[0]). Demonstrirati rad.

Upustvo za DE2-70 plocu je dostupno na:

<http://apeg.ac.me/nastava/#VHDL>