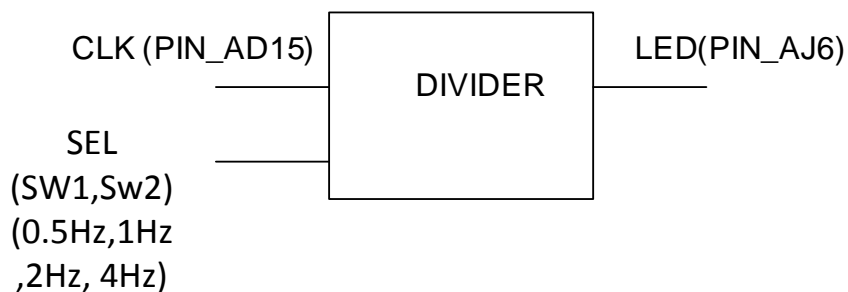


VHDL, SPR, II kolokvijum, 2017, Grupa I

1. Projektovati 8-bitni unsigned up counter with asynchronous clear. Priložiti kod i simulacione dijagrame.

IO Pins	Description
C	Negative-Edge Clock
CLR	Asynchronous Clear (active Low)
Q[8:0]	Data Output

2. Projektovati kolo treptućeg svijetla koje se pogoni klokom frekvencije 0.5Hz , 1Hz, 2Hz ili 4Hz na pinu LED. Ulaz je CLK 50MHz, a izlaz LEDR[0]. Frekvencija treperenja se bira parametrom SEL (SW1, SW2) a. Upotrebljava se DE2-70 ploča.

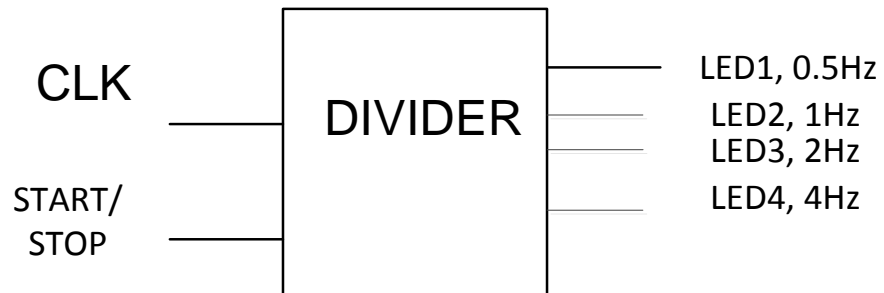


VHDL, SPR, II kolokvijum, 2017, Grupa II

1. Projektovati i simulirati UP/DOWN Counter. Priložiti kod i simulacione dijagrame

IO Pins	Description
C	Positive-Edge Clock
CLR	Asynchronous Clear (active Low)
UP_DOWN	up/down count mode selector
Q[8:0]	Data Output

2. Projektovati kolo treptućeg svijetla koje se pogoni klokom frekvencije CLK 50MHz, a na izlazima LED1, LED2, LED3, LED4 daje signal od 0.5Hz, 1Hz, 2Hz i 4Hz. START/STOP pogoni ili stopira rad kola (SW1). Upotrebljava se DE2-70 ploča. Izabrati led diode sa ploce po zelji. Izabrati prekidač i svetlece diode prema zelji na edukacionoj ploci.



VHDL, SPR, II kolokvijum, 2017, Grupa III

1. Projektovati i simulirati kolo brojaca sa asinhronim "load-om". Priložiti kod i simulacione dijagrame.

IO Pins	Description
C	Negative-Edge Clock
ALOAD	Asynchronous Load (active Low)
D[8:0]	Data Input
Q[8:0]	Data Output

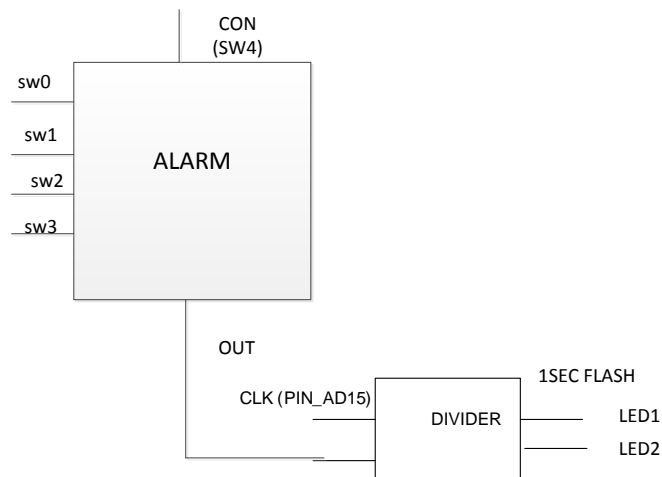
2. Projektovati kolo sifrnika. Ulazi su priključeni na SW0, SW1, SW2, SW3, SW4, SW5 prekidače koji simuliraju dovodjenje 0 ili 1. SW6 je prekidač koji dozvoljava rad Sistema. SW4 =0, sifrnik radi ili obrnuto. Postoje 2 izlaza OUT1(PIN_AJ6) i OUT2(PIN_AK5) koji pokazuju da li je sifra u redu ili nije, a vezani su na odgovarajuće LED diode.

VHDL, SPR, II kolokvijum, 2017, Grupa IV

1. Projektovati 4-bitni Shift-Left Register sa Positive-Edge Clock i serijskim izlazom.

IO Pins	Description
C	Positive-Edge Clock
SI	Serial In
CLR	Asynchronous Clear (active High)
SO	Serial Output

2. Projektovati kolo alarma za automobil. Alarm je aktivan sa CON (SW4). SW0-SW3 simuliraju otvorena vrata. Izlaz CON sa logickom 1 omogućava rad flash kola koje predstavlja divider sa izlaznom frekvencijom od 2Hz. Ako su bilo koja od vrata otvorena izlazna LED1 dioda "blinkuje" ili obrnuto. Ako su sva vrata zatvorena LED2 je aktivna (svijetli).

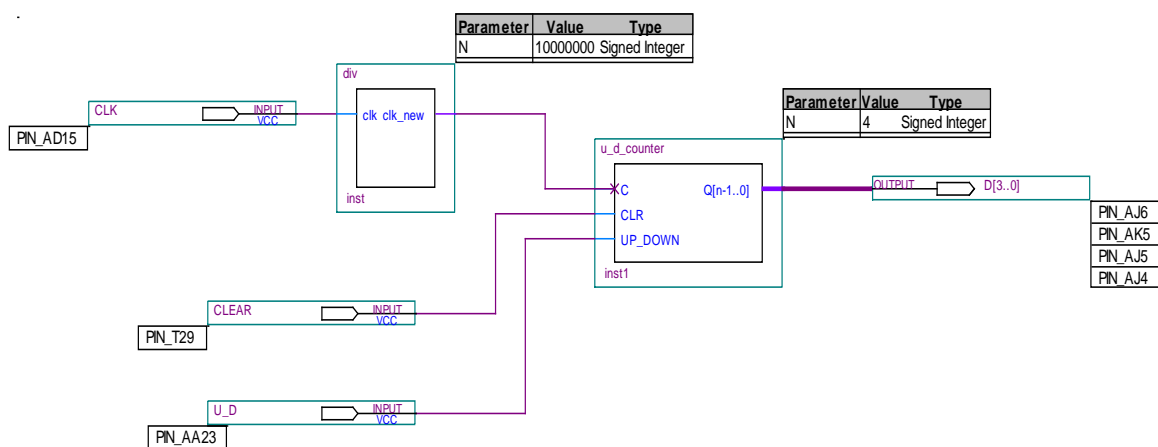


VHDL, SPR, II kolokvijum, 2017, Grupa V

1. Projektovati i simulirati 4-bit Shift-Left/Shift-Right Register with Positive-Edge Clock, Serial In, and Parallel Out. Priložiti kod i simulacione dijagrame.

IO Pins	Description
C	Negative-Edge Clock
SI	Serial In
LEFT_RIGHT	Left/right shift mode selector
PO[3:0]	Parallel Output

2. Projektovati kolo brojača koji se pogoni klokom frekvencije 0.5 Hz, a broji na gore. Brojac ima i asinhroni clear ulaz, CLEAR. Izlazi brojaca, D[3..0] su vezani na LED diode na DE2-70 ploči.

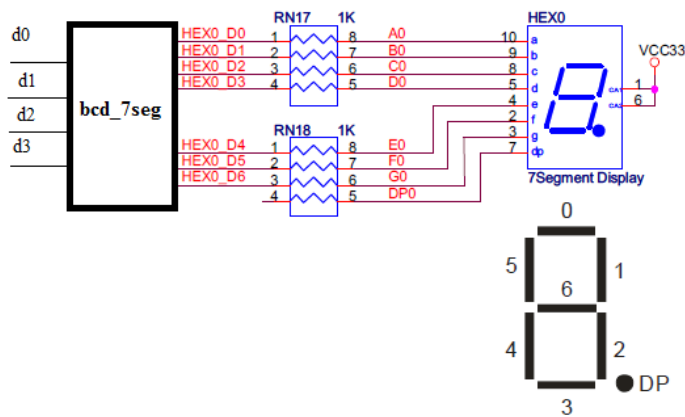


VHDL, SPR, II kolokvijum, 2017, Grupa VI

1. Projektovati kolo logickog siftera Priloziti kod i simulacione dijagrame.

IO pins	Description
D[3:0]	Data Input
SEL	shift distance selector
SO[3:0]	Data Output

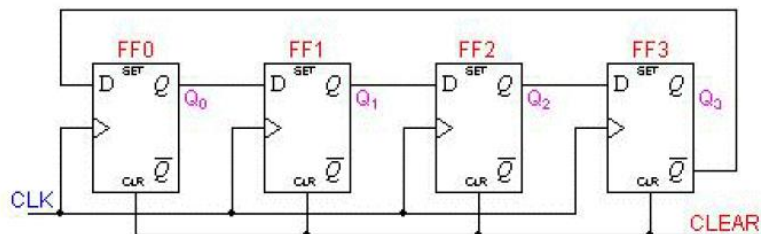
1. Projektovati kolo bcd_7seg dekodera. d0, d1, d2, d3 ulazi su priključeni na SW0, SW1, SW2, SW3 prekidače koji simuliraju dovodjenje 0 ili 1. a, b,c,d, e,f,g izlazi su priključeni na odgovarajuće segmente displeja. Displej pokazuje od 0 do 9. Ostale kombinacije se pali srednja crta "E".



	a	Output	PIN_AE8
	b	Output	PIN_AF9
	c	Output	PIN_AH9
	d	Output	PIN_AD10
	d0	Input	PIN_AA23
	d1	Input	PIN_AB26
	d2	Input	PIN_AB25
	d3	Input	PIN_AC27
	e	Output	PIN_AF10
	f	Output	PIN_AD11
	g	Output	PIN_AD12

VHDL, SPR, II kolokvijum, 2017, Grupa VII

1. Projektovati 4-bitni RING Jonsonov brojca u VHDLu. Priložiti kod i simulacione dijagrame.



Clock Pulse	Q3	Q2	Q1	Q0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	1
3	0	1	1	1
4	1	1	1	1
5	1	1	1	0
6	1	1	0	0
7	1	0	0	0

2. Projektovati kolo brojača koji se pogoni klockom frekvencije 0.5 Hz, a broji na dolje. Brojac ima i asinhroni clear ulaz, CLEAR aktivan "0". Izlazi brojaca, D[3..0] su vezani na LED diode na DE2-70 ploči.

