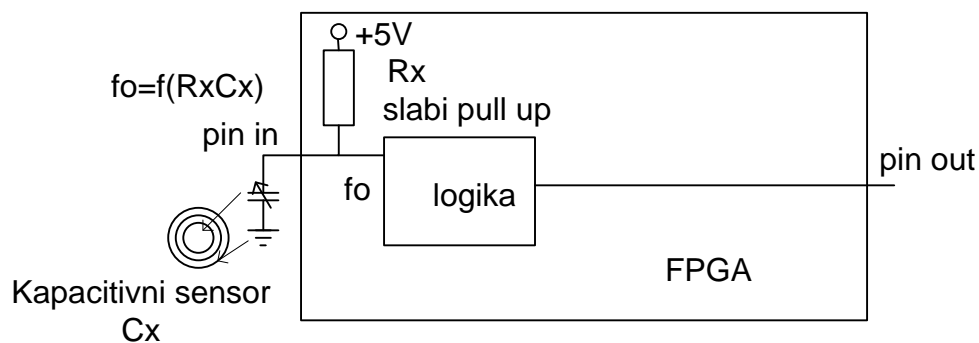


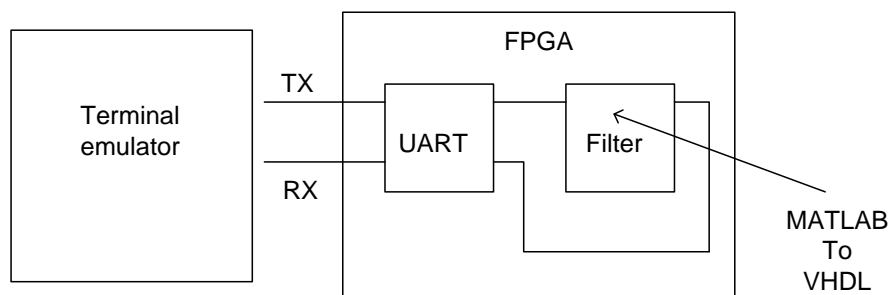
Seminarski radovi iz SEKa, 2017

Napomena: Koristiti DE2-70 FPGA razvojnu ploču

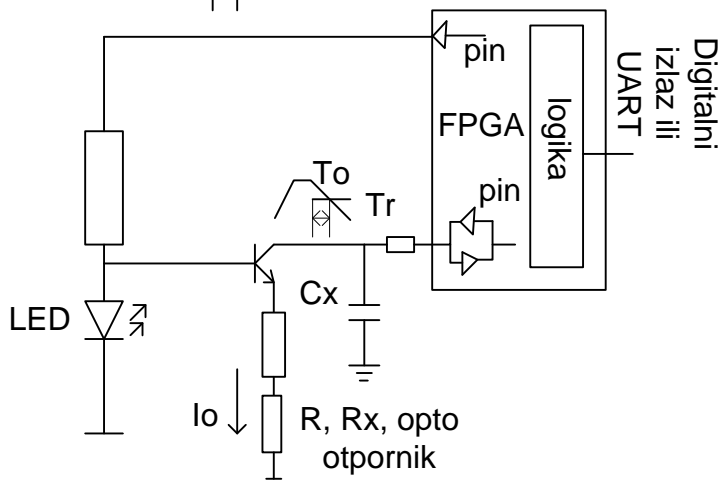
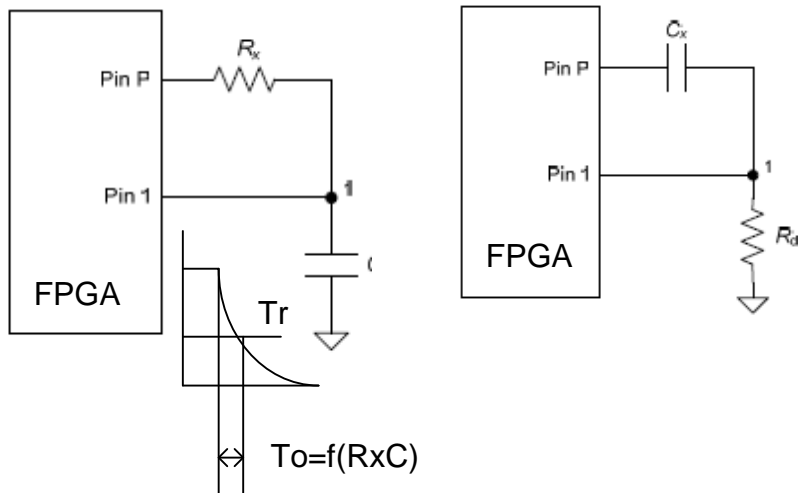
1. Projektovati kapacitivni sensor dodira koristeći FPGA pinove. Princip rada je sledeći. Slabi pull-up Rx sa kapacitivnim sensorom Cx i ostatkom logike implemetirane u FPGA formira oscillator cija se frekvencija mijenja po zavisnosti $f_o=f(Rx,Cx)$. Cx se mijenja sa prisustvom prsta. f_o se mjeri logikom u FPGA kolu. Na osnovu mjerenja frekvencije detektuje se promjena kapacitivnosti Cx, a samim tim i blizina prsta. Adekvatno se aktivira pin-out. Kolo implementirati na FPGA ploči DE2-70. Možete probati i sa impulsnim metodom ili projektovati više-kanalni FPGA kapacitivni kontroler.



2. Koristeci MATLAB projektovati digitalni filter 1og reda (NF,VF,BF). Zatim konvertovati MATLAB kod u VHDL kod kojeg uploadovati u FPGA cip na DE2-70 ploči u digitalni modul "Filter". Ulazni signal zadavati preko Terminal Emulatora i UART modula. Preko Terminal emulatora prihvatati odziv. Provjeriti funkcionalnost. Koristiti gotovi FPAGA UART modul. Moze se koristiti niz semplova sa kontrolnim karakterima ili jedan po jedan znak.

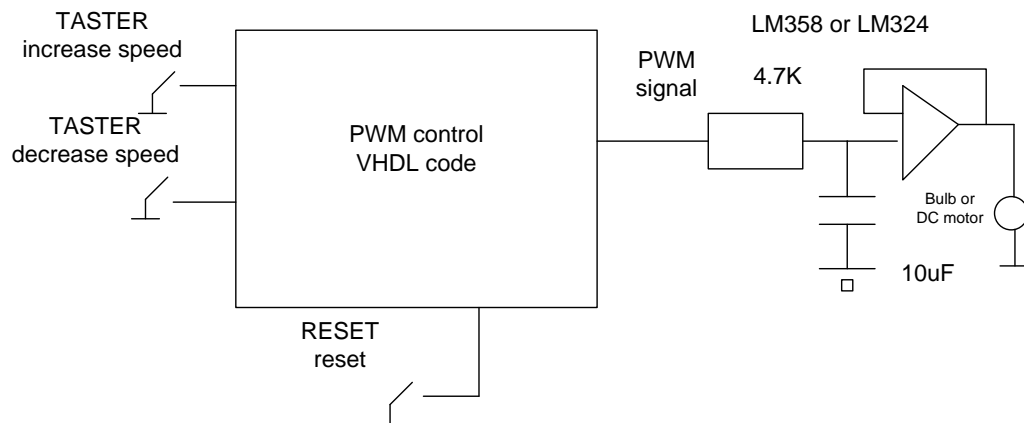


3. Koristeci pinove FPGA kola napraviti programe-digitalna kola za mjerenje nepoznate kapacitivnosti ili otpornosti sa minimalnim brojem izlaznih komponenti. Mjeri se vrijeme pada napona kod RC kola ili vrijeme praznjenja kondenzatora konstantnom strujom I_o .

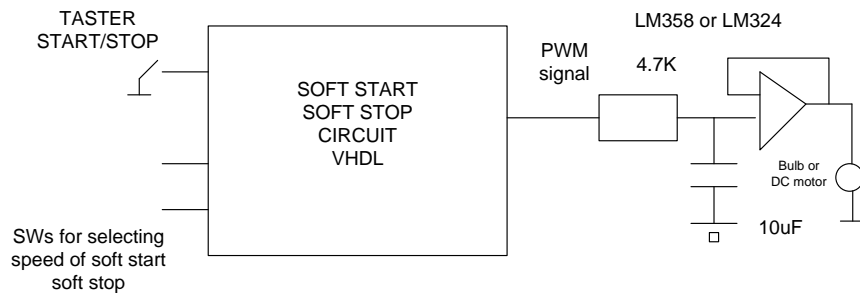


$$I_o = F(R_x), T_o = F_1(I_o) = F_2(R_x)$$

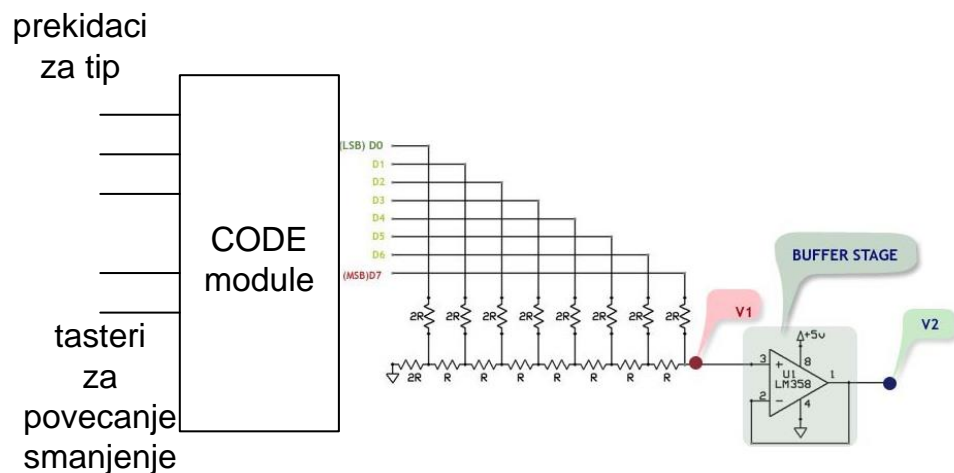
4. Projektovati u VHDLu modul za PWM DC motor kontrolu. Koristeci projektovani modul dizajnirati multi-kanalnu DC kontrolu, npr. do 4 kanala. Na slici je data sema 1 kanala. RC kolo i buffer (sa op LM324 ili LM358 ili slican) napraviti kao eksterne komponente.



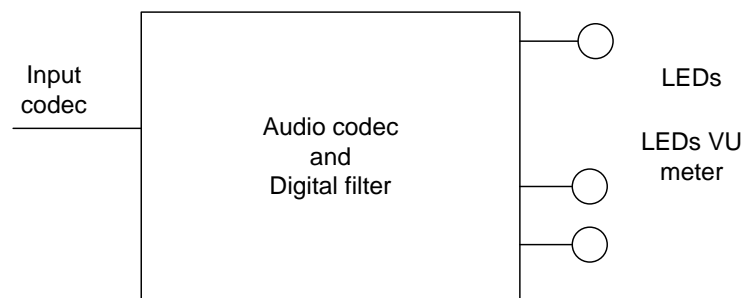
5. **Soft start soft stop** upotrebom FPGA. Soft start radi na tom principu sto blago povecava nivo izlaznog signal do zeljenje vrijednosti. Gradijent brzine pojacanja moze se regulisati. Soft stop na istom principu samo po principu smanjenja.



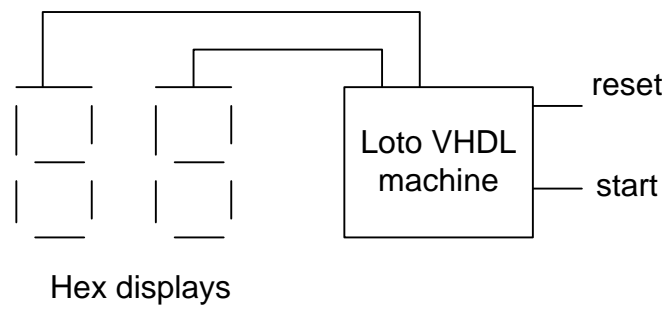
6. Koristeci FPGA projektovati programable signal generator koji na svom izlazu daje sinusoidu, cetvrtku ili testerastu funkciju. Pomocu kombinacije switcheva bira se tip i frekvencija izlaznog signala. Pomocu tastera povecava se ili smanjuje frekvencija. 8 bitni D/A konvertor projektovati pomoću R-2R mreže i OP bafera.



7. Koristeci Audio CODEC na DE2-70 ploci projektovati vizualni VU METER. LED diode DE2 ploce pokazuju nivo (snagu) ulaznog audio signala koji moze biti sa mikrofona ili audio uredjaja.



8. Loto generator na HEX display generator. LOTO masina generise slucajan broj od 0 do 99 i prikazuje na HEX display. U medjuvremenu moze biti animacija na dispay ili prosto cekanje.



Grupa max 3 studenta.

Primjer kako uraditi seminarski:

https://people.ece.cornell.edu/land/courses/ece5760/FinalProjects/s2017/eli8_sjy33_awx2/ece5760finalproject/ece5760finalproject/index.html

<https://people.ece.cornell.edu/land/courses/ece5760/FinalProjects/s2017/md874/md874/LogicAnalyzer.htm>

Podgorica, Dec. 2017