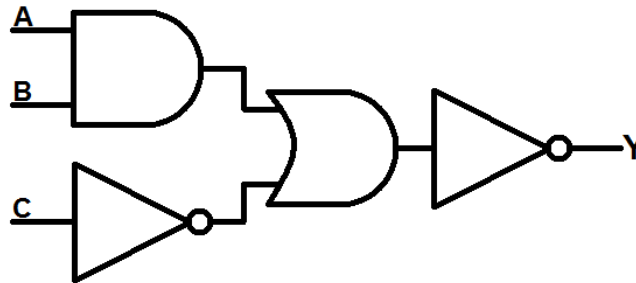


VHDL, Priprema kolokvijuma I, 2020

A) Kombinaciona kola

1. Za kolo prikazano na slici napisati VHDL kod. Priložiti kod i simulacione dijagrame.

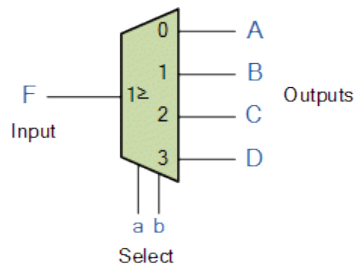


Slika 1.

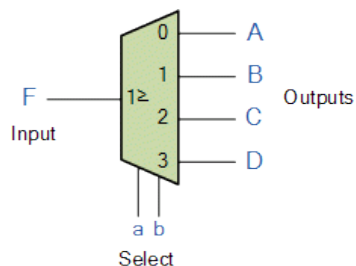
2. Za kolo punog-sabirača :
 - a) Napisati VHDL kod.
 - b) Kreirati simbol.
 - c) Simulacijom verifikovati ispravnost dizajna punog sabirača. Parametre *End Time* i *Grid Size* postaviti na vrijednosti 2 μ s i 200ns, respektivno.
 - d) Sabirac je aktivan pri ENABLE=1.
3. a) Projektovati kolo u VHDLu 2-to-1 1-bit MUXa.

IO Pins	Description
a, b	Data Inputs
s[0]	MUX selector
o	Data Output

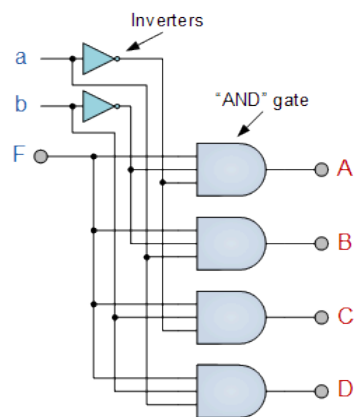
- b) Koristeći kreirani symbol Mux 2-1, projektovati kolo multipleksora 4-1 i simulirati njegov rad.
4. Na slici je kolo demultipleksora. Napisati kod i verifikovati ispravnost dizajna (simulacijom). Koristiti formulu $F = abA + abB + abC + abD$.



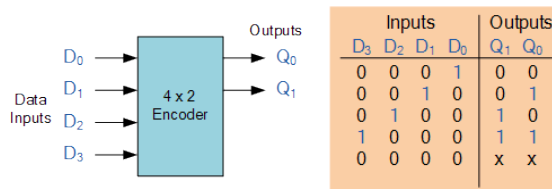
5. Na slici je kolo demultipleksora. Napisati kod i verifikovati ispravnost dizajna. Koristiti CASE tipa naredbu napisati kod i verifikovati ispravnost dizajna.



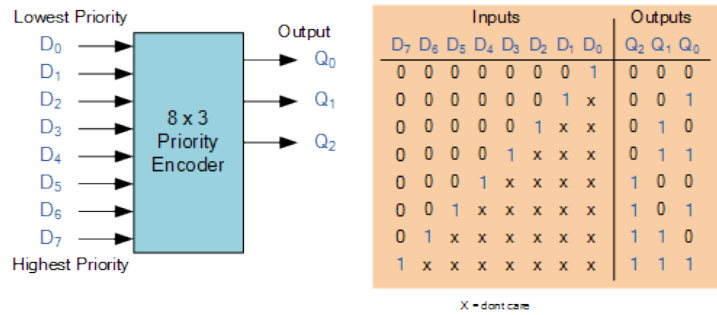
6. Na slici je kolo demultipleksora. Koristeci graficki editor i simulator verifikovati dizajn.



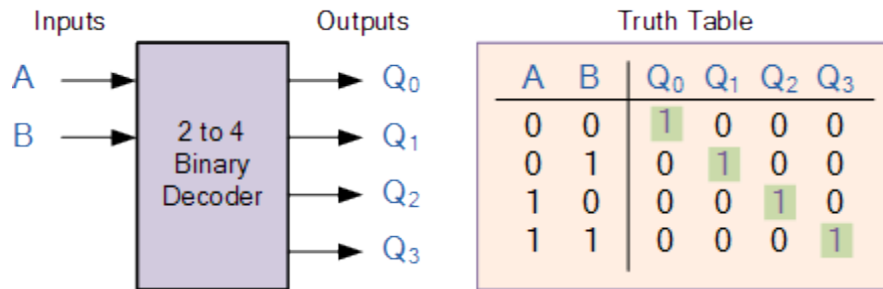
7. Na slici je kolo 4-2 binarnog encodera. Koristeci VHDL editor i simulator verifikovati dizajn.



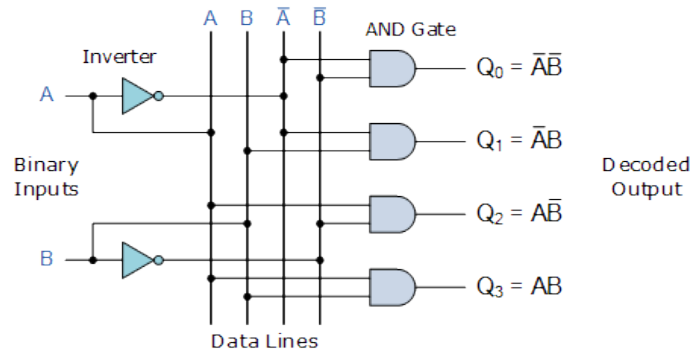
8. Na slici je kolo 8-3 binarnog encodera. Koristeci VHDL editor i simulator verifikovati dizajn.



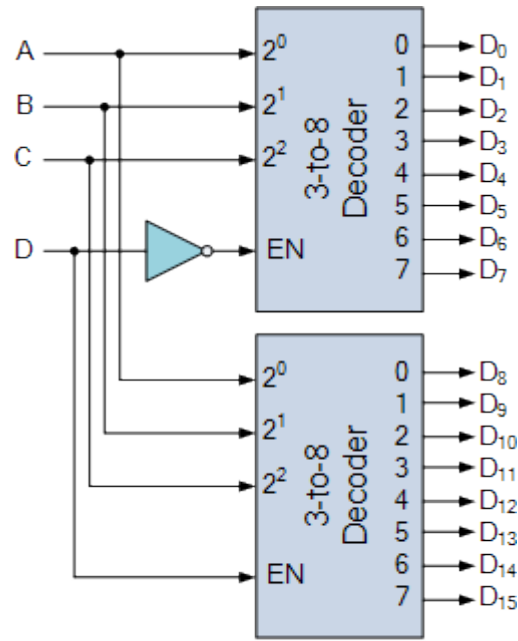
9. Na slici je je kolo 2-4 binarnog decodera. Koristeci VHDL editor i simulator verifikovati dizajn.



10. Na slici je je kolo 2-4 binarnog decodera. Koristeci graficki editor i simulator verifikovati dizajn.

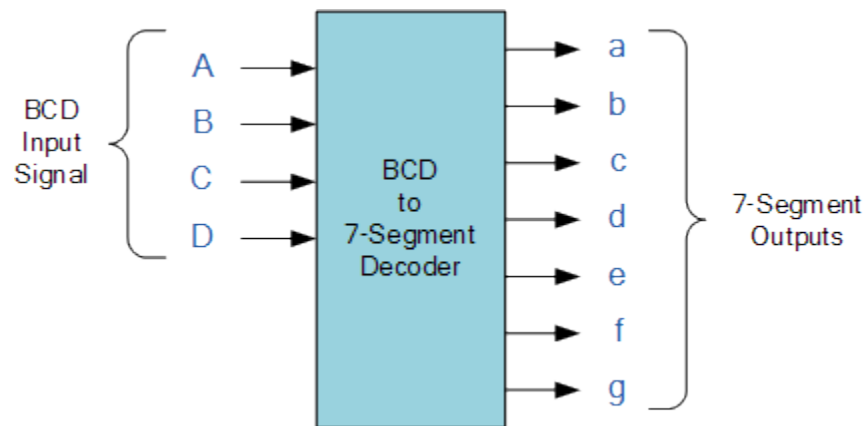


11. Na slici je 4-16 binarni decoder. Projektovati 3-8 decoder, zatim ga sacuvati kao symbol, pa u grafickom editoru i simulatoru verifikovati dizajn 4-16.

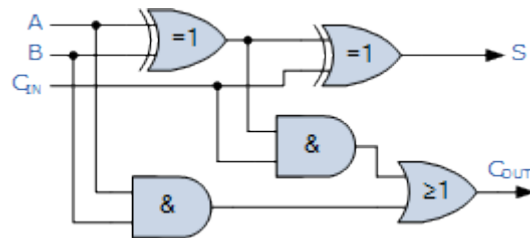


4-to-16 Line Decoder Implemented with two 3-to-8 Decoders

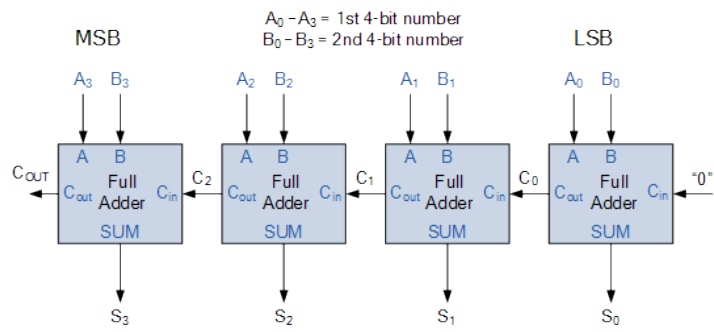
12. Na slici je BCD-7 segment decoder. Koristeći VHDL editor i simulator verifikovati dizajn.



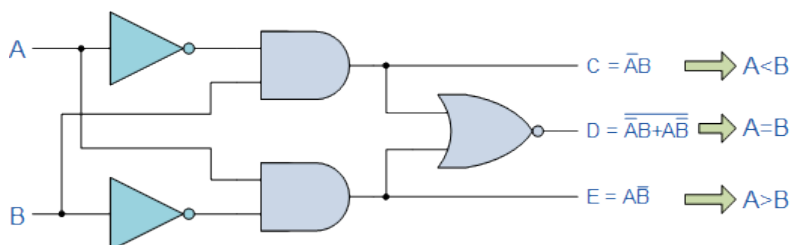
13. Na slici je kolo punog sabiraca. Koristeći VHDL editor i simulator verifikovati dizajn



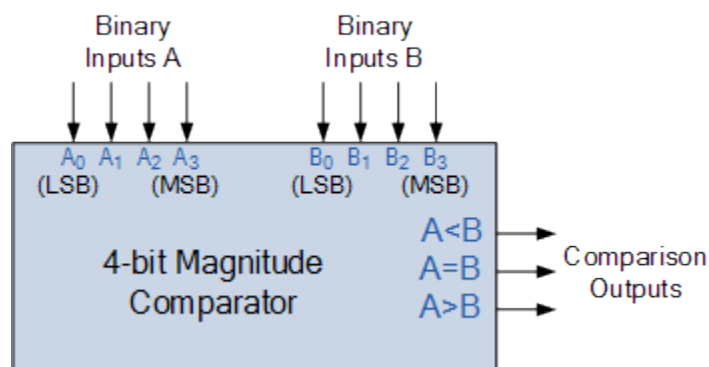
14. Na slici je kolo 4-bitnog punog sabiraca. Koristeći VHDL editor i simulator verifikovati dizajn



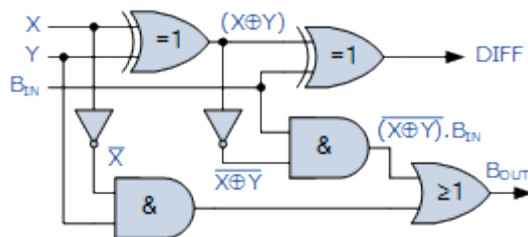
15. Na slici je kolo 1-bitnog komparatora. Koristeci VHDL editor i simulator verifikovati dizajn



16. Na slici je kolo 4-bitnog komparatora. Koristeci VHDL editor i simulator verifikovati dizajn

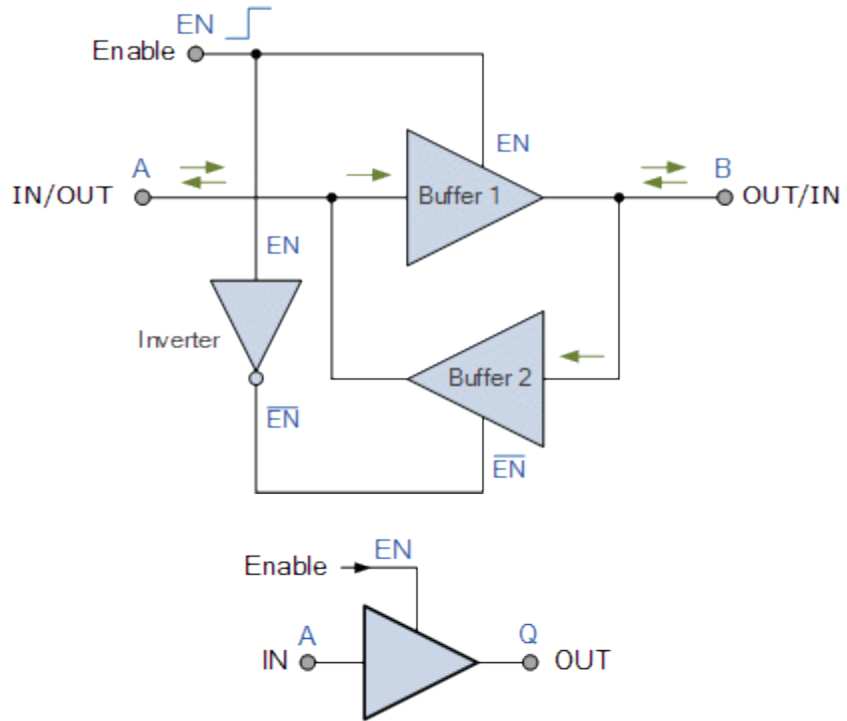


17. Na slici je kolo punog 1-bitnog mnozaca. Koristeci VHDL editor i simulator verifikovati dizajn



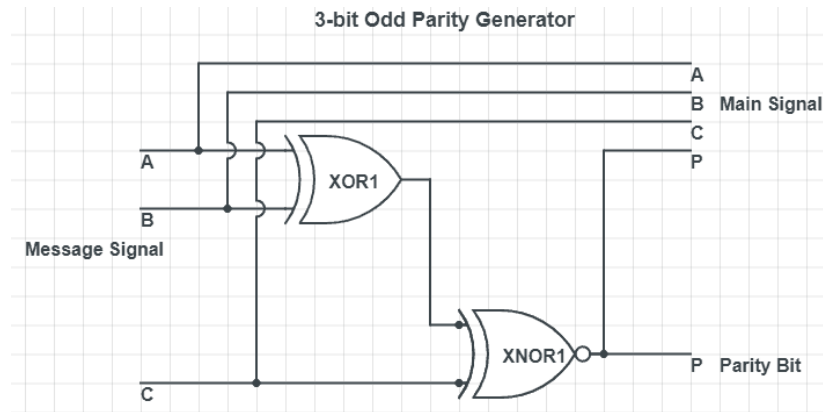
18. Na slici je slika bidirekcionog pina kojim se upravlja sa EN (EN=1, OUT=IN; EN=0, IN=OUT). Glavna komponenta je 3-state buffer, cija je tabela stanja data

ispod znaka. Koristeci VHDL editor i simulator verifikovati dizajn. Pomoc:
<https://vlsicoding.blogspot.com/2014/07/vhdl-code-for-bidirectional-bus.html>



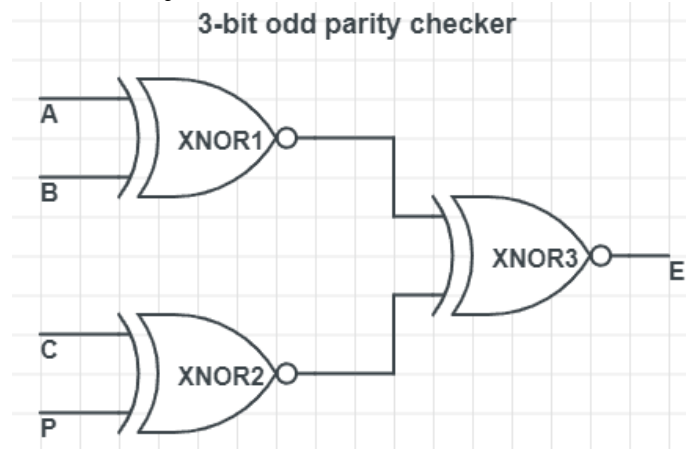
Enable	IN	OUT
0	0	Hi-Z
0	1	Hi-Z
1	0	0
1	1	1

19. Na slici je dato kolo za generisanje bita parnosti, tj. ako je paran broj 1-ca na ulazima A,B,C kolo daje na svom izlazu P=1, u suprotnom P=0. Koristeci VHDL editor i simulator verifikovati dizajn.



A	B	C	P
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	x

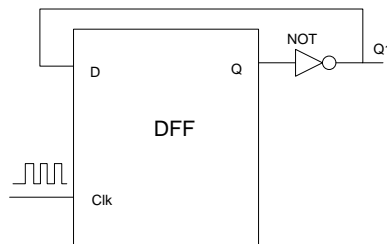
20. Na slici je dato kolo za provjeru parnosti, tj. ako je paran broj 11 na ulazima A,B,C kolo daje na svom izlazu P=1, u suprotnom P=0. Koristeci VHDL editor i simulator verifikovati dizajn



A	B	C	P	E
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

B) SEKVENCIJALNA KOLA

1. a) Projektovati u VHDL-u D Flip Flop sa ENABLE ulazom i klokom na silaznoj ivici
b) Formirati simbol.
c) Koristeći simbol DFF i inverter u grafičkom editoru napravite djeliteľ frekvencije kloka sa 4.



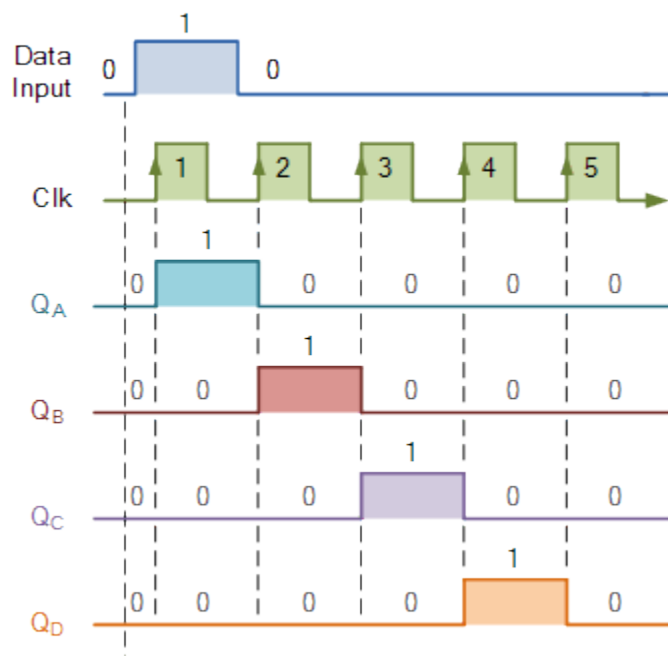
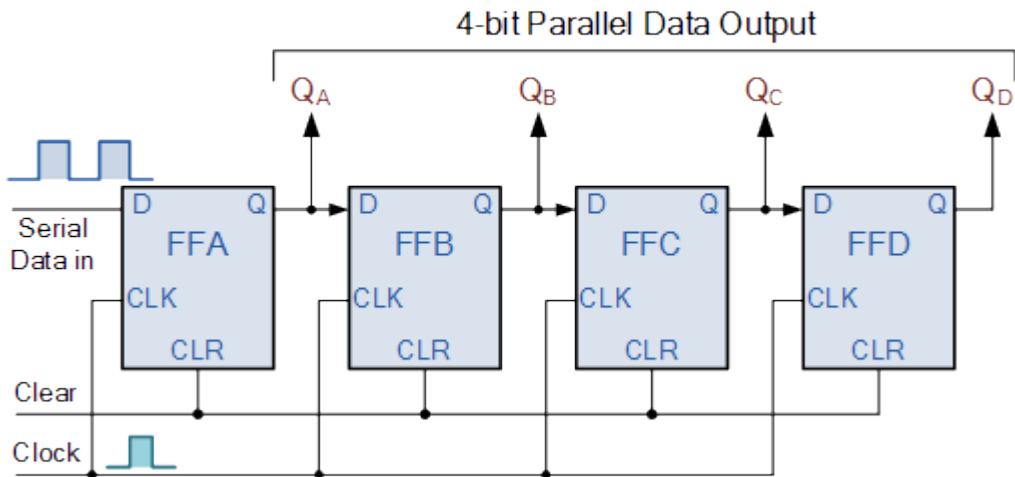
2. Projektovati RS flip flop sa clear i set ulazima. Uočiti detla delay. Priložiti kod i simulacione dijagrame.
3. Donja tabela prikazuje definiciju pinova N bitnog brojača sa asinhronim clearom. Priložiti VHDL kod i simulacione dijagrame. Dizajnirati kod i sprovesti simulaciju.

IO Pins	Description
clock	Negative-Edge Clock
clear	Asynchronous Clear (active High)
enable	Enable input (active Low)
Q[N:0]	Data Output

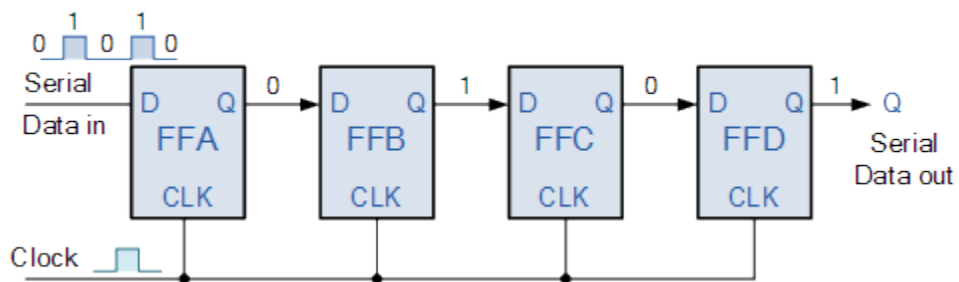
4. Donja tabela prikazuje definiciju pinova N bitnog brojača sa asinhronim clearom koji moze da broi UP/DOWN. Priložiti VHDL kod i simulacione dijagrame. Dizajnirati kod i sprovesti simulaciju.

IO Pins	Description
C	Positive-Edge Clock
CLR	Asynchronous Clear (active High)
UP_DOWN	up/down count mode selector
Q[3:0]	Data Output

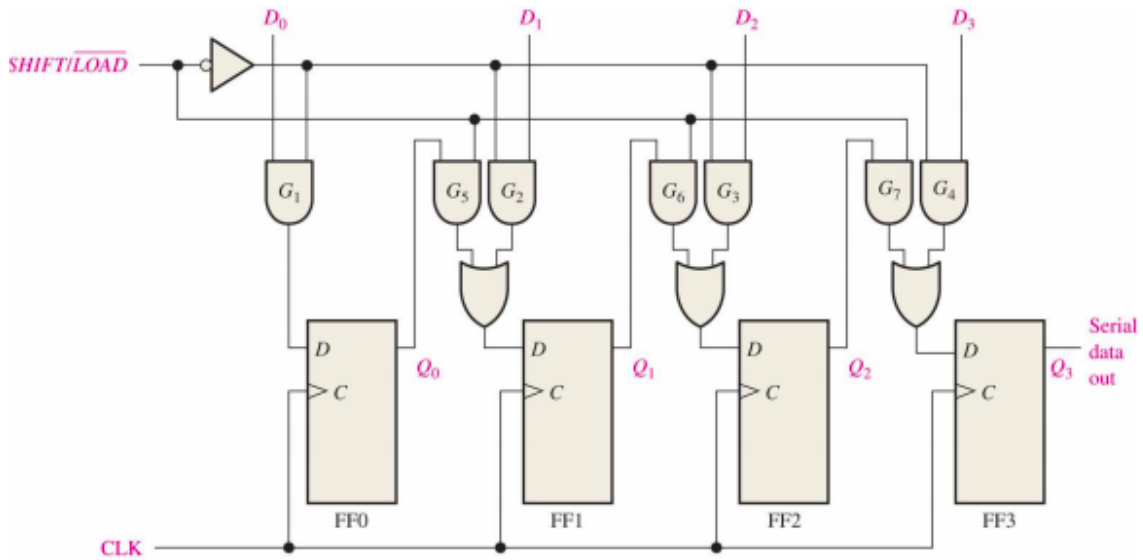
5. Donja slika prikazuje 4 bitni sift registar sa paralelnim izlazima. Priložiti VHDL kod i simulacione dijagrame. Dizajnirati kod i sprovesti simulaciju.



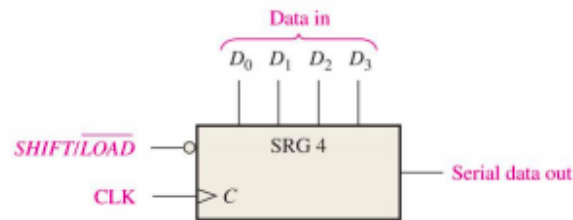
6. Donja slika prikazuje 4 bitni sift registar sa serijskim izlazom. Priložiti VHDL kod i simulacione dijagrame. Dizajnirati kod i sprovesti simulaciju.



7. Donja slika prikazuje 4 bitni sift registar sa serijskim izlazom i paralelnim loadovanjem broja D0,D1,D2,D3. Priložiti VHDL kod i simulacione dijagrame. Dizajnirati kod i sprovesti simulaciju.

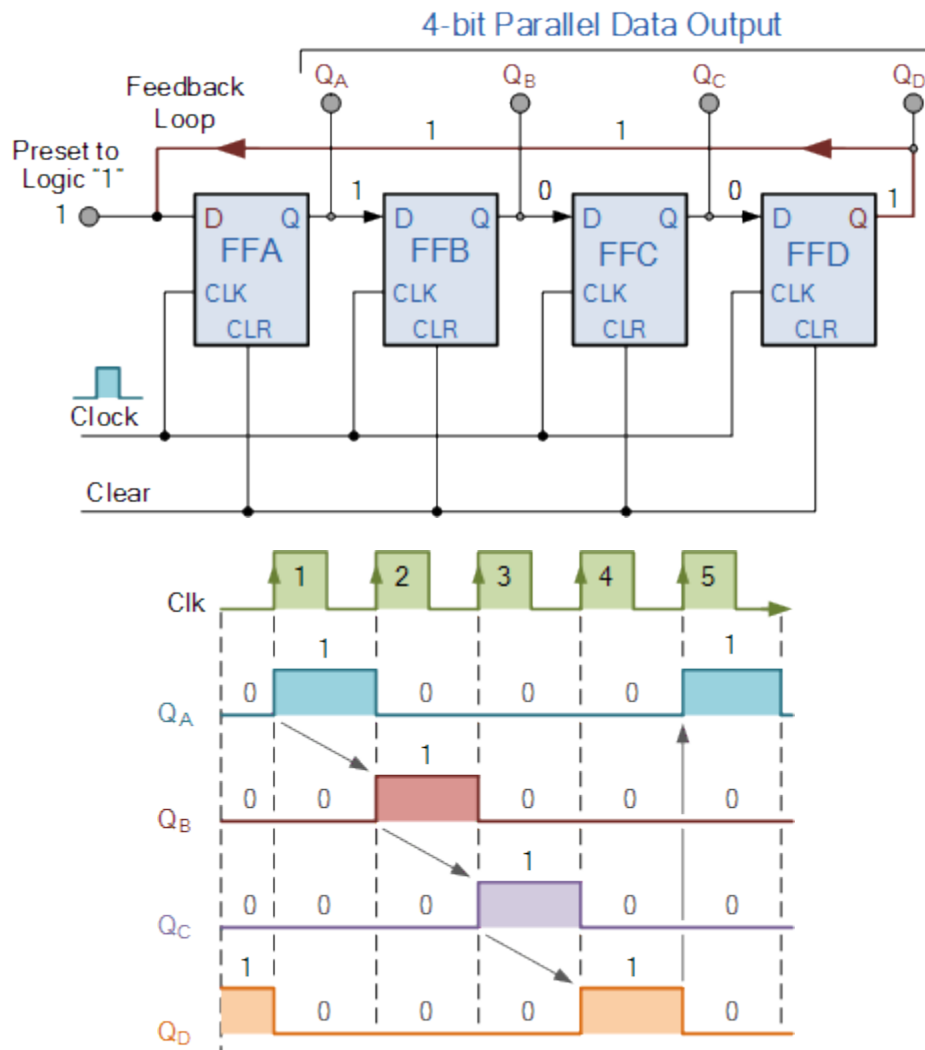


(a) Logic diagram

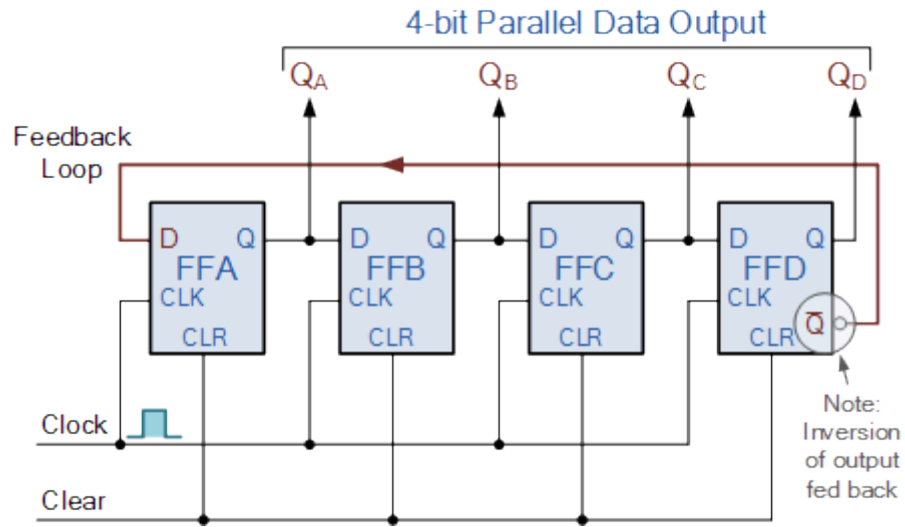


(b) Logic symbol

8. Donja slika prikazuje 4-bitni ring counter. Priložiti VHDL kod i simulacione dijagrame. Dizajnirati kod i sprovesti simulaciju.



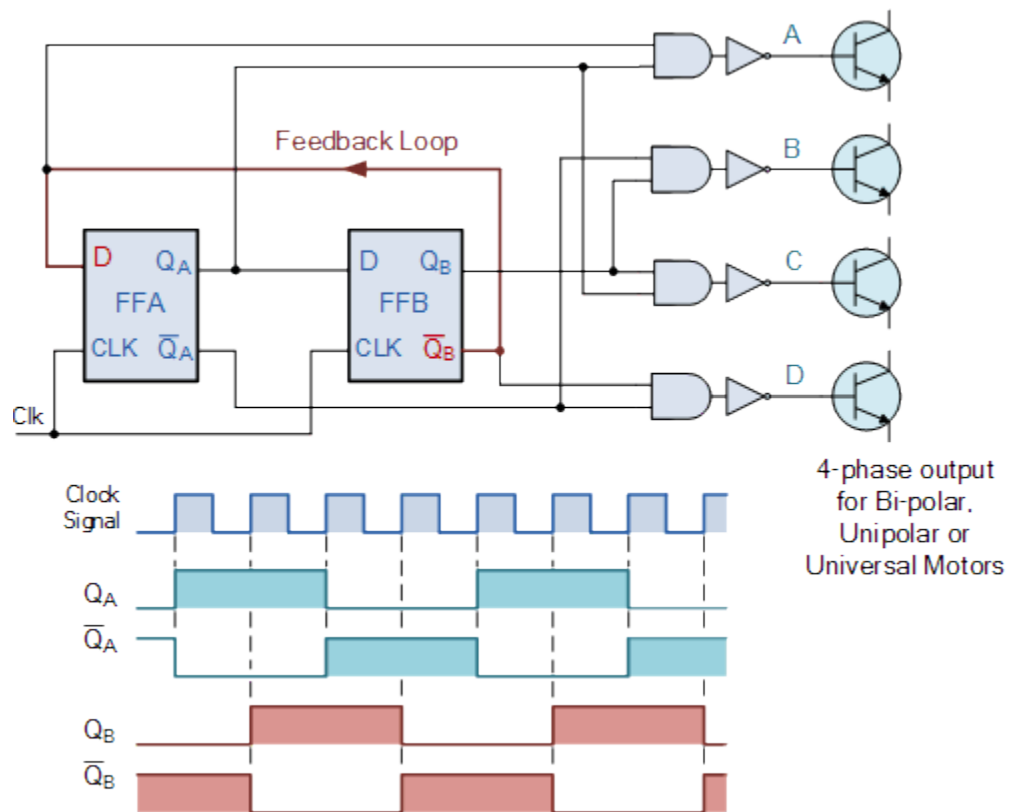
9. Donja slika prikazuje 4-bitni Jonsonov counter/brojac. Priložiti VHDL kod i simulacione dijagrame. Dizajnirati kod i sprovesti simulaciju.



Clock Pulse No	FFA	FFB	FFC	FFD
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	1	1	1	0
4	1	1	1	1
5	0	1	1	1

6	0	0	1	1
7	0	0	0	1

10. Donja slika prikazuje 2-bitni Quadrature Generator. Priložiti VHDL kod i simulacione dijagrame. Dizajnirati kod i sprovesti simulaciju.



Output	A	B	C	D
--------	---	---	---	---

Q_A+Q_B	1	0	0	0
Q_A+Q_B	0	1	0	0
Q_A+Q_B	0	0	1	0
Q_A+Q_B	0	0	0	1