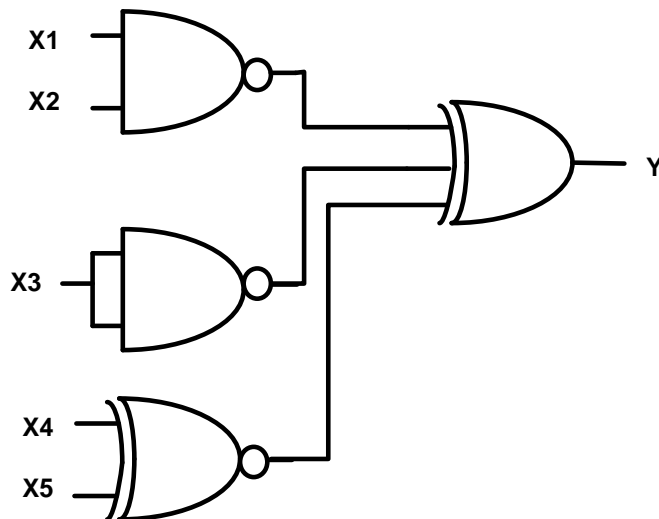


VHDL, SPR, 2018, Grupa II, 18.30h

1. (35) Za kolo prikazano na slici 1. napisati VHDL kod. Priložiti kod i simulacione dijagrame.



Slika 1.

Parametre *End Time* i *Grid Size* postaviti na vrijednosti 2 μ s i 200ns, respektivno. Pozicionirati kursor i objasniti simulaciju.

2. (30) Projektovati kolo dekodera 3/8. Proložiti kod i simulacione dijagrame. Parametre *End Time* i *Grid Size* postaviti na vrijednosti 2 μ s i 100ns, respektivno. Prije prilaganja simulacionog dijagrama **obavezno** podesiti **View-> Full Screen** i **View-> Fit in Window**. A, B, C su ulazi, a Yi (0 \leq i<8) izlazi. Objasniti simulaciju pozicioniranjem kursora

Inputs			Outputs							
A	B	C	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

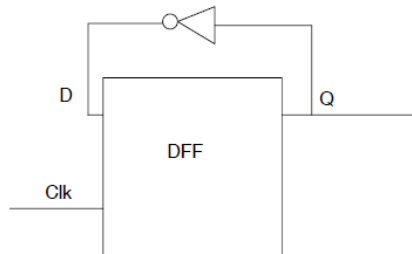
3. (65)

a) Projektovati u VHDLu D Flip Flop sa klokom na negativnoj ivici i CLR je aktivan sa logickom 0. Formirati simbol.

b) Koristeći simbol D Flip Flopa i invertor u grafičkom editoru napravite djeliteľ frekvencije kloka sa 2, $f_{clk}=500\text{KHz}$.

c) Koristeći isto kolo napraviti djeliteľ frekvencije u grafičkom editoru (na nivou blok dijagrama) sa 16. Priložiti semu i simulacione dijagrame.

Kod objašnjenja simulacije pozicionirati kursor.



Napomena: Rade se 2 zadatka (1 po želji od 1. i 2.) i 3. Trajanje 1h i 30min