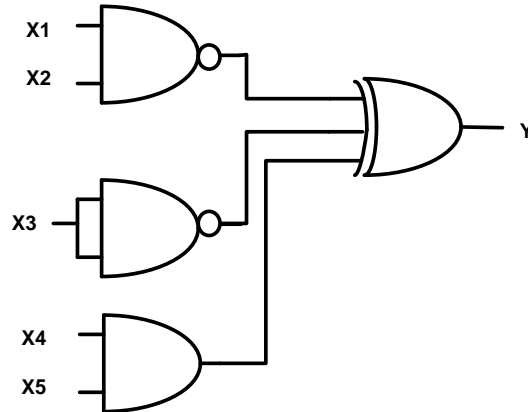


## VHDL, SPR, 2018, Grupa I, 18.30h

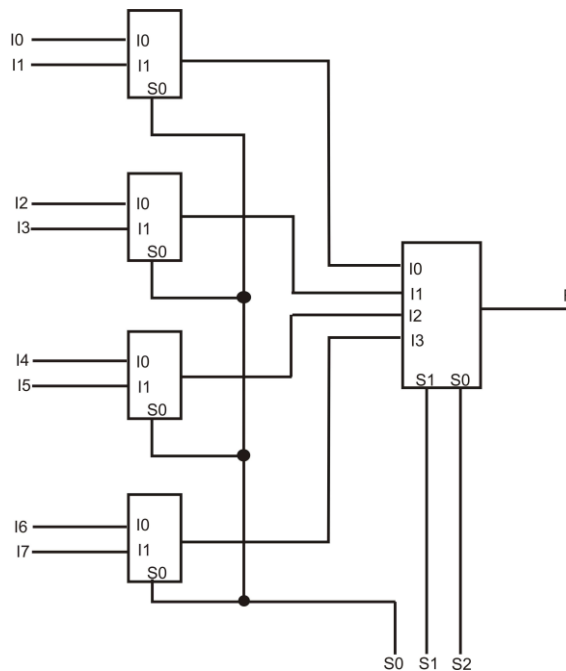
1. (35) Za kolo prikazano na slici 1. napisati VHDL kod. Priložiti kod i simulacione dijagrame.



Slika 1.

Parametre *End Time* i *Grid Size* postaviti na vrijednosti  $10\mu\text{s}$  i  $400\text{ns}$ , respektivno. Pozicionirati kursor i objasniti simulaciju.

2. (35)
  - a) Projektovati kolo multipleksera 2/1, kreirati odgovarajući paket i simbol. Priložiti kodove. Simulaciju nije potrebno odraditi.
  - b) Na osnovu donje slike projektovati multiplekser 8/1 primjenom blok dijagram fajla metode. Priložiti blok dijagram simulacioni dijagram.

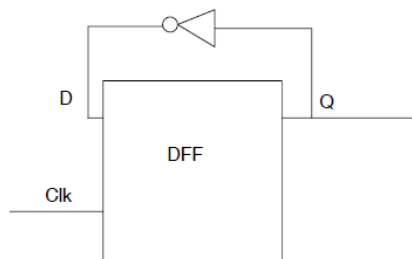


3) (65)

a) Projektovati u VHDLu D Flip Flop sa klokom na pozitivnoj ivici. Priložiti kod i formirati simbol.

b) Koristeći simbol D Flip Flopa i invertor u grafičkom editoru napravite djeliteľ frekvencije kloka sa 2,  $f_{clk}=1\text{MHz}$ .

c) Koristeći isto kolo napraviti djeliteľ frekvencije u grafickom editoru (na nivou blok dijagrama) sa 16 i priložiti simulacione dijagrame.



Kod objasnjenja simulacije pozicionirati kursor.

**Napomena: Rade se 2 zadatka (1 po zelji od 1. i 2.) i 3. Trajanje 1h i 30min**