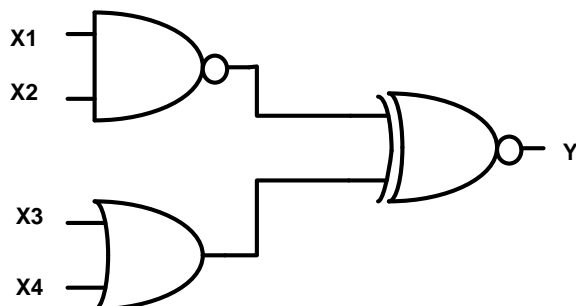


## VHDL, SPR, 2018, Grupa II, 17.00h

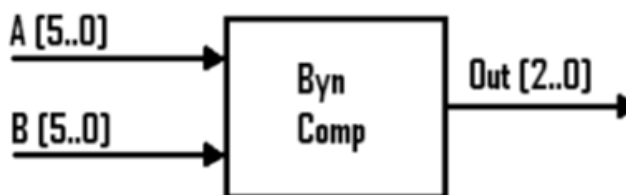
- 1 (35) Za kolo prikazano na slici 1. napisati VHDL kod. Priložiti kod i simulacione dijagrame.



Slika 1.

Parametre *End Time* i *Grid Size* postaviti na vrijednosti  $5\mu\text{s}$  i  $500\text{ns}$ , respektivno. Pozicionirati kursor i objasniti simulaciju.

- 2 (35) Projektovati kolo binarnog komparatora sa slike. Kolo ima dva šestobitna ulaza A i B. U zavisnosti od stanja ulaznih signala, dvobitni izlaz *Out* uzima vrijednosti iz donje tabele. Priložiti kod. Napraviti simulacioni dijagram. Parametre *End Time* i *Grid Size* postaviti na vrijednosti  $5\mu\text{s}$  i  $100\text{ns}$ , respektivno. Radix ulaznih vektora treba da bude Unsigned Decimal a izlaznog Binary. Priložiti screenshot simulacije. Prije prilaganja simulacionog dijagrama obavezno podesiti View-> Full Screen i View-> Fit in Window. Objasniti simulaciju pozicioniranjem kursora na karakteristicna stanja.



A>B Out=101  
A<B Out=010  
A=B Out=011

- 3- (65) a) Projektovati kolo N-bitnog UP/DOWN brojača u VHDLu. Osnova brojanja se određuje generičkom konstantom N. Brojač posjeduje CLR i ENABLE ulaze koji su aktivani sa logičkom „1”. Priložiti kod i simulacione dijagrame, fclk=1ms, N=4. Radix izlaznih vektora treba da bude Unsigned Decimal. Priložiti sliku simulacije na kojoj se vidi brojanje brojača gore-dolje.

**Napomena: Rade se 2 zadatka (1 po zelji od 1. i 2.) i 3. Trajanje 1h i 30min**