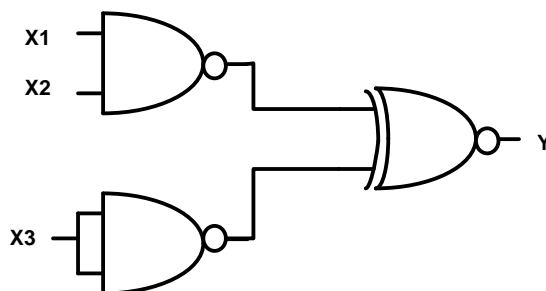


VHDL, SPR, 2018, Grupa I, 17h

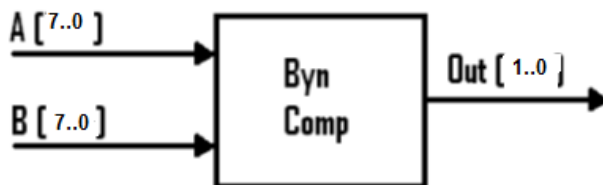
1. (35) Za kolo prikazano na slici 1. napisati VHDL kod. Priložiti kod i simulacione dijagrame.



Slika 1.

Parametre *End Time* i *Grid Size* postaviti na vrijednosti 2 μ s i 200ns, respektivno. Pozicionirati kursor i objasniti simulaciju.

- 2 (35) Projektovati kolo binarnog komparatora sa slike. Kolo ima dva osmobicna ulaza A i B. U zavisnosti od stanja ulaznih signala , dvobitni izlaz *Out* uzima vrijednosti iz donje tabele. Priložiti kod. Napraviti simulacioni dijagram. Parametre *End Time* i *Grid Size* postaviti na vrijednosti 5 μ s i 100ns, respektivno. Radix ulaznih vektora treba da bude Unsigned Decimal a izlaznog Binary. Priložiti screenshot simulacije. Prije prilaganja simulacionog dijagrama obavezno podesiti View-> Full Screen i View-> Fit in Window.



A>B, Out="10",
A<B, Out="01",
A=B, Out="11"

- 3 (65) Projektovati kolo UP 4-bitnog brojaca pomoću D flip-flopa . D flip- flopovi posjeduje enable, reset, clk i D ulaze, kao i Q i Qn izlaze. Priložiti kod D flip-flopa i blok diagram brojaca u kojoj se koristi simbol projektovanog flip flopa. Napraviti simulacioni dijagram brojaca. Parametre *End Time* i *Grid Size* postaviti na vrijednosti 10 μ s i 100ns, respektivno. Priložiti screenshot simulacije gdje se vidi brojanje brojaca.

Napomena: Rade se 2 zadatka (1 po zelji od 1. i 2.) i 3. Trajanje 1h i 30min