

# I KOLOKVIJUM VHDL PRIPREMA

11-12-2020

# KORACI

- Slučajnim izborom dobio sam sledece zadatke:
- **DIO A, ZADATAK 12**

Na slici je dat BCD-7 segment decoder. Segment je aktivan sa logickom "1". Koristeci VHDL editor i simulator verifikovati dizajn.

- **DIO B, ZADATAK 3**

Donja tabela prikazuje definiciju pinova N bitnog brojača sa asinhronim clearom. Priložiti VHDL kod i simulacione dijagrame. Dizajnirati kod i sprovesti simulaciju.

Clock: Negative-Edge Clock

Clear: Asynchronous Clear (active High)

Enable: Enable input (active high)

Q[N:0]: Data Output, N=3, cetvorobitni up counter

- **REŠENJE**

